

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-051198

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 06-185885 (71)Applicant : MATSUSHITA ELECTRON CORP

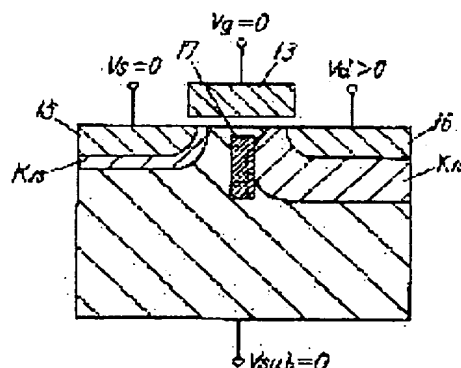
(22)Date of filing : 08.08.1994 (72)Inventor : WADA ATSUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To suppress the generation of punch-through by forming a first insulating film, in a semiconductor substrate interposed between a pair of diffusion layers and an adjoining pair of diffusion layers.

CONSTITUTION: A silicon oxide 17 is formed on a P-type silicon substrate under a gate electrode 13. The silicon oxide film 17 is formed at a position lower than the surface of the P-type silicon substrate by a specified depth, being separated from the source 15 and the drain 16. The silicon oxide film 17 formed inside the P-type silicon substrate makes a barrier for restraining a drain depletion layer K16 spreading from the drain 16 side from spreading to the source 15 side, and restrains the drain depletion layer K16 from linking to a source depletion layer K15 (prevents the generation of a punch-through).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-51198

(43) 公開日 平成 8 年 (1996) 2 月 20 日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

H 0 1 L 29/ 78

3 0 1 X

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号

特願平6-185885

(22) 出願日

平成 6 年 (1994) 8 月 8 日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72) 発明者 和田 敦夫

大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

(74) 代理人 弁理士 小鍛冶 明 (外 2 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 パンチスルー現象の発生を抑制する。

【構成】 MOSFETのソース15とドレイン16との間のシリコン基板11の表面近傍であって、その内部にシリコン酸化膜17を形成し、シリコン酸化膜17の直上のシリコン基板11表面上にゲート酸化膜14とゲート電極13とを順次形成する。シリコン酸化膜17が、ドレイン16側から広がったドレイン空乏層がソース15側へ広がることを抑える障壁となり、ソース空乏層とドレイン空乏層がつながってパンチスルー現象が起ることを抑制する。

11 シリコン基板

12 フィールド酸化膜

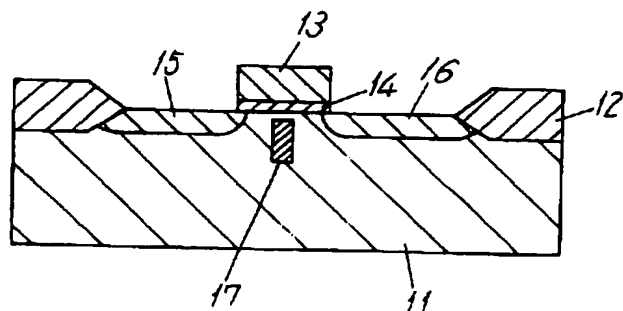
13 ゲート電極

14 ゲート酸化膜

15 ソース

16 ドレイン

17 シリコン酸化膜



【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に離間して形成された逆導電型の一对の拡散層と、前記一对の拡散層と、隣りの一对の拡散層に挟まれた前記半導体基板内に形成された第一の絶縁膜と、前記半導体基板上に順次形成された第二の絶縁膜および導電膜とを備えた半導体装置。

【請求項2】 前記拡散層が、前記導電膜に近接して形成された一对の低濃度拡散層と、前記低濃度拡散層に隣接しかつ前記導電膜から離間して形成された一对の高濃度拡散層とからなる請求項1記載の半導体装置。

【請求項3】 前記第一の絶縁膜が、前記一对の拡散層に接して形成されたことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第一の絶縁膜が、前記一对の拡散層に接して形成されたことを特徴とする請求項2記載の半導体装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、MOS型電界効果トランジスタ（以下、MOSFETという）の新規な半導体装置の構造に関するものである。

【0002】

【従来の技術】 従来のMOSFETの構造について、図10を用いて、Nチャンネル型を例に説明する。図10において、1はP型シリコン基板、2はフィールド酸化膜、3は多結晶シリコン膜からなるゲート電極、4はゲート酸化膜、5はソース（ n^+ 型拡散層）、6はドレイン（ n^+ 型拡散層）である。

【0003】 このMOSFETのゲート電極3に正電位を与えると、ゲート電極3下のP型シリコン基板1表面にチャンネルが形成され、ソース5とドレイン6とが導通する。

【0004】

【発明が解決しようとする課題】 しかしながら、従来のMOSFETでは、ソース5とドレイン6との間隔を縮小した場合、図11に示すようにゲート電極3を0Vにバイアスしてもソース5とドレイン6との間に電流が流れてしまう現象（これをパンチスルーと呼ぶ）が起きるという問題があった。これは、ソース5とドレイン6との間を短くした場合、図11に示すように、ドレイン6側の空乏層 K_6 とソース5側の空乏層 K_5 とがつながってしまい、その結果、P型シリコン基板1内部にパンチスルー電流 I_p が流れてしまう現象である。パンチスルーはP型シリコン基板1内部で発生するため、ゲート電極3を0V（いわゆるMOSFETをオフにした状態）にバイアスしても止めることはできない。

【0005】 図12にソース5とドレイン6の中間点における基板深さ方向（x方向）の電位 Φ を示す。ゲート電位を0Vにした場合、P型シリコン基板1表面（ $x=$

0）の電位はほぼ0Vになり、基板表面にチャンネルは形成されない。しかし、基板内部は、ドレイン6側の空乏層 K_6 の影響を受けるので、徐々に電位が高くなり、ある深さでピークを持つようになる。MOSFETが微細化され、ソース5とドレイン6との間が縮小されると、このピーク電位はソース5側のpn接合を順方向にバイアスできる大きくなる。これによって、ソース5からP型シリコン基板1内部に向かって電子注入が起これ、パンチスルー電流 I_p が流れる。

【0006】 パンチスルーが起これると、MOSFETに漏れ電流が流れる。このMOSFETで大規模集積回路装置（LSI）を構成する場合、パンチスルーによる漏れ電流が足し合わされる結果、非常に大きな電流が流れてしまうので、低消費電力のLSIを作ることができない。また、ブートストラップ回路のように電荷を蓄積、転送する回路の場合、パンチスルー現象が起これると電荷が抜けてしまうので、回路動作が正常に機能しなくなるというおそれがあった。

【0007】 このため、従来型のMOSFETの構造では、ある程度以上の微細化を進めることができない欠点があった。

【0008】 本発明は、上記課題を解決するもので、パンチスルーの発生を抑制できるMOSFETを提供することを目的としている。

【0009】

【課題を解決するための手段】 上記目的を達成するために本発明の半導体装置は、一導電型の半導体基板上に離間して形成された逆導電型の一对の拡散層と、一对の拡散層と、隣りの一对の拡散層に挟まれた半導体基板内に形成された第一の絶縁膜と、半導体基板上に順次形成された第二の絶縁膜および導電膜とを備えている。

【0010】 また、拡散層が、導電膜に近接して形成された一对の低濃度拡散層と、低濃度拡散層に隣接しかつ導電膜から離間して形成された一对の高濃度拡散層とからなる。

【0011】 また、第一の絶縁膜が、一对の拡散層に接して形成されている。また、第一の絶縁膜が、一对の拡散層に接して形成されている。

【0012】

【作用】 本発明の半導体装置によれば、半導体基板内部に形成した絶縁膜の存在により、離間して形成された一对の拡散層から発生するそれぞれの空乏層がつながるのを遮る障壁となるため、パンチスルー現象が起これるのを抑え、MOSFETのパンチスルー電流を抑制することができる。

【0013】

【実施例】 以下、本発明の一実施例における半導体装置をNチャンネル型MOSFETに適用した例について、図1、図2を参照して説明する。

【0014】 図1は本発明のMOSFETの要部断面図

である。図において、11はP型シリコン基板、12はフィールド酸化膜、13は多結晶シリコン膜からなるゲート電極、14はゲート酸化膜、15、16はゲート電極13に対して自己整合的に形成された n^+ 型拡散層からなるソースおよびドレイン、17はゲート電極13下のP型シリコン基板11内部に形成されたシリコン酸化膜である。ここでシリコン酸化膜17はP型シリコン基板11の表面より所望の深さの位置に、ソース15およびドレイン16より離間して形成している。

【0015】本実施例の場合、ゲート電極13の長さ（いわゆるゲート長）は $0.8\mu\text{m}$ 、シリコン酸化膜17はP型シリコン基板11表面より深さ $0.1\mu\text{m}$ の位置に、ソース15からドレイン16の方向に対する長さが $0.3\mu\text{m}$ 、P型シリコン基板11の深さ方向に対して $1\mu\text{m}$ である。また、ゲート酸化膜14の膜厚は $0.018\mu\text{m}$ 、 n^+ 型拡散層15、16の接合深さは $0.3\mu\text{m}$ である。

【0016】つぎに、本発明のパンチスルー抑制効果を図2を用いて説明する。図2は図1に示した本発明のMOSFETの要部断面図をパンチスルー抑制効果についてわかりやすいように改めて記した図である。図2に示すように、ゲート電位 V_g とソース電位 V_s を0Vに、ドレイン電位 V_d を正にバイアスした場合、従来のMOSFETでは図11で示したようにドレイン空乏層 K_6 がソース空乏層 K_5 とつながっていたが、本発明のMOSFETではP型シリコン基板11内部に形成されたシリコン酸化膜17の存在が、ドレイン16側から広がったドレイン空乏層 K_{16} がソース15側への広がりを抑える障壁となり、ソース空乏層 K_{15} とドレイン空乏層 K_{16} がつながることを抑制することができる。

【0017】上述したドレイン16側から広がったドレイン空乏層 K_{16} がソース15側への広がりを抑える障壁となる効果は、シリコン酸化膜17におけるP型シリコン基板11の深さ方向への長さが、図12で示した電位 Φ のピーク位置より小さすぎるとドレイン空乏層 K_{16} がシリコン酸化膜17の下方を回り込み、ソース空乏層 K_{15} とつながってしまうため得られない。そこで、シリコン酸化膜17におけるP型シリコン基板11の深さ方向への長さは、 n^+ 型拡散層15、16の接合深さ、P型シリコン基板11の基板濃度、ドレイン16に印加されるバイアスの最大値等を考慮に入れて設定することが重要である。

【0018】つぎに、本実施例の製造方法について、図3～図6を用いて説明する。まず、図3に示すようにP型シリコン基板21に選択酸化によりフィールド酸化膜22を形成した後、リソグラフィ技術とドライエッチング技術を用いてP型シリコン基板21に幅 $0.3\mu\text{m}$ 、深さ $1\mu\text{m}$ の孔23を形成する。つぎに、図4に示すように減圧化学気相成長法により膜厚 $0.2\mu\text{m}$ 程度のシリコン酸化膜24を堆積し、孔23を埋め込む。こ

の後、いわゆるエッチバック法により、P型シリコン基板21表面に堆積されたシリコン酸化膜24を除去し、孔23内に埋め込まれたシリコン酸化膜25のみを残すようにする。しかる後、P型シリコン基板21とシリコン酸化膜25の表面にプラズマ化学気相成長法により膜厚 $0.1\mu\text{m}$ 程度のアモルファスシリコン膜26を堆積する。この場合、アモルファスシリコン膜10は製膜中に、ボロン等を添加しておき、形成されたアモルファスシリコン膜26がP型となるようにしておく。つぎに、図5に示すように、 500°C 以上の温度でアニールすることにより、P型シリコン基板21を基板とした縦方向固相成長および横方向固相成長によりP型シリコン基板21表面上とシリコン酸化膜25上に形成されたアモルファスシリコン膜26を単結晶化する。以後、図6に示すようにP型シリコン基板21に選択酸化によりフィールド酸化膜22を形成した後、通常のNチャンネル型MOSFETの製造方法に従い、ゲート酸化膜27、ゲート電極28を形成した後、ゲート電極28に対して自己整合的に n^+ 型拡散層からなるソース29およびドレイン30を形成することにより、本発明のMOSFETを形成することができる。

【0019】つぎに、本発明の第2の実施例について、図7を参照して説明する。図7は、本発明のMOSFETの要部断面図である。図において、31、32はゲート電極33に対して自己整合的に形成された n^+ 型拡散層であり、濃度は約 $2 \times 10^{18} \text{cm}^{-3}$ である。また、34はゲート電極33の側壁に形成されたシリコン酸化膜からなるサイドウォール、35はソース、36はドレインで、サイドウォール34に対して自己整合的に形成された n^+ 型拡散層である。37はP型シリコン基板38内部に形成されたシリコン酸化膜である。

【0020】本実施例の場合、ゲート長は $0.8\mu\text{m}$ 、シリコン酸化膜37はP型シリコン基板38表面より深さ $0.1\mu\text{m}$ の位置に、ソース35からドレイン36の方向に対する長さが $0.3\mu\text{m}$ 、P型シリコン基板38の深さ方向に対して $1\mu\text{m}$ である。また、ゲート酸化膜39の膜厚は $0.018\mu\text{m}$ 、 n^+ 型拡散層35、36の接合深さは $0.3\mu\text{m}$ である。第2の実施例で示したMOSFETでは、パンチスルー抑制効果、ドレイン構造を低濃度拡散層と高濃度拡散層からなるLDD (Lightly Doped Drain) 構造としたことで、ドレイン耐圧を向上させることが可能となる。

【0021】つぎに、本発明の第3の実施例について、図8を参照して説明する。図8は、本発明のMOSFETの要部断面図である。図において、41はP型シリコン基板42内部に形成されたシリコン酸化膜であるが、第1の実施例と異なるのはその一方の端が n^+ 型拡散層からなるソース43に、他方の端が同じく n^+ 型拡散層からなるドレイン44に接している点にある。

【0022】本実施例の場合、ゲート長は $0.8\mu\text{m}$ 、

シリコン酸化膜41はP型シリコン基板42表面より深さ0.1 μm の位置に、ソース43からドレイン44の方向に対する長さが0.8 μm 、P型シリコン基板42の深さ方向に対して1 μm である。また、ゲート酸化膜45の膜厚は0.018 μm 、 n^+ 型拡散層43、44の接合深さは0.3 μm である。また、ゲート酸化膜45の膜厚は0.018 μm 、 n^+ 型拡散層43、44の接合深さは0.3 μm である。

【0023】本発明のMOSFETでは、第1の実施例の場合と同様にP型シリコン基板42内部に形成された酸化膜41の存在が、ドレイン44側から広がったドレイン空乏層がソース43側への広がりを抑える障壁となる。このため、ソース空乏層とドレイン空乏層がつながることを抑制することができる。さらに、本発明のMOSFETでは、P型シリコン基板42においてゲート酸化膜45とシリコン酸化膜41で挟まれた領域、すなわちMOSFET動作時にチャンネルが形成される部分にのみ注目すれば、疑似的ないわゆるSOI (Silicon On Insulator) 構造をとることがわかる。SOIの膜厚が0.1 μm 以下と非常に薄い、いわゆる薄膜SOIトランジスタでは、例えばアイ、イー、イー、イー、トランザクション オン エレクトロン デバイス 36 (1989) 第493頁～第503頁 (IEEE Trans. Electron Devices 36 (1989) PP493-503) に発表されているように、高いドレイン電流駆動力、良好なサブスレッショルド特性等の優れたトランジスタ特性を有することが報告されている。本実施例のMOSFETは上述したようにチャンネルが形成される部分が、疑似的なSOI構造を取り、しかもその膜厚を0.1 μm 程度に設定してあるので、参考例で示したのと同様な優れたトランジスタ特性を得ることができる。すなわち、ゲート電極46にバイアスを印加すると、P型シリコン基板42においてゲート酸化膜45とシリコン酸化膜41で挟まれた領域では、表面に反転層が形成される前にすべて空乏化する。このため、さらに印加されたバイアスは、ゲート酸化膜45を挟んだゲート電極46とP型シリコン基板42の間、シリコン酸化膜41を挟んだP型シリコン基板42の表面と内部との間の2つの部分に分割される。その結果、チャンネル表面の垂直電界が小さくなり、キャリアの移動度が大きくなる。また、P型シリコン基板42においてゲート酸化膜45とシリコン酸化膜41で挟まれた領域内のポテンシャルはP型シリコン基板42の深さ方向に対して平行に近くなる。このためゲート電極46に印加したバイアスでキャリア密度を制御しやすくなり、良好なサブスレッショルド特性を有するという利点を合わせ持つ。

【0024】本実施例は、第1の実施例の製造方法の一例について、図3～図6を用いて説明した中で、孔8の幅およびシリコン酸化膜9の膜厚を所望の値に変更するだけでよく、同様な方法で製造することができる。

【0025】つぎに、本発明の第4の実施例について、図9を参照して説明する。図9は、本発明のMOSFETの要部断面図を示す。ここで、51、52はゲート電極53に対して自己整合的に形成された n^+ 型拡散層であり、濃度は約 $2 \times 10^{18} \text{cm}^{-3}$ である。また、54はゲート電極53の側壁に形成されたシリコン酸化膜からなるサイドウォール、55はソース、56はドレインで、サイドウォール54に対して自己整合的に形成された n^+ 型拡散層からなる。57はP型シリコン基板58内部に形成されたシリコン酸化膜である。

【0026】図9に示した場合、ゲート長は0.8 μm 、シリコン酸化膜57はP型シリコン基板58表面より深さ0.1 μm の位置に、ソース55からドレイン56の方向に対する長さが0.8 μm 、P型シリコン基板58の深さ方向に対して1 μm である。また、ゲート酸化膜59の膜厚は0.018 μm 、 n^+ 型拡散層55、56の接合深さは0.3 μm である。第4の実施例で示したMOSFETでは、パンチスルー抑制効果、ドレイン電流駆動力の増加とともに、ドレイン構造を低濃度拡散層と高濃度拡散層からなるLDD (Lightly Doped Drain) 構造としたことで、ドレイン耐圧を向上させることが可能となる。

【0027】なお、以上の実施例において、シリコン酸化膜をシリコン窒化膜としてもよい。また、この発明をNチャンネル型MOSFETに適用した場合について例示したが、この発明がPチャンネル型MOSFETにも適用できることはもちろんである。

【0028】

【発明の効果】この発明によれば、微細化したMOSFETのパンチスルー現象を抑制することができる。さらにLDD構造と組み合わせることでドレイン耐圧を向上できる効果も有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例のMOSFETの構造を説明するための要部断面図

【図2】本発明のMOSFETのパンチスルー抑制効果を説明するための図

【図3】本発明の第1の実施例のMOSFETの製造方法を説明するための断面模式図

【図4】本発明の第1の実施例のMOSFETの製造方法を説明するための断面模式図

【図5】本発明の第1の実施例のMOSFETの製造方法を説明するための断面模式図

【図6】本発明の第1の実施例のMOSFETの製造方法を説明するための断面模式図

【図7】本発明の第2の実施例のMOSFETの構造を説明するための要部断面図

【図8】本発明の第3の実施例のMOSFETの構造を説明するための要部断面図

【図9】本発明の第4の実施例のMOSFETの構造を

説明するための要部断面図

【図10】従来のMOSFETの要部断面図

【図11】従来のMOSFETのパンチスルー現象を説明するための図

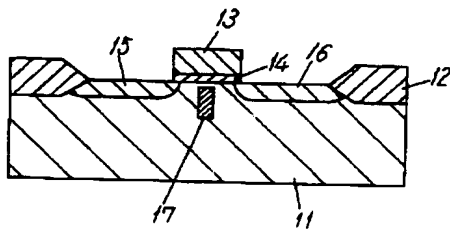
【図12】従来のMOSFETのパンチスルー現象を説明するための図

【符号の説明】

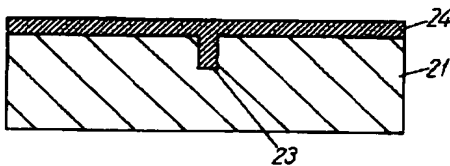
- 11 シリコン基板
- 12 フィールド酸化膜
- 13 ゲート電極
- 14 ゲート酸化膜
- 15 ソース
- 16 ドレイン
- 17 シリコン酸化膜

【図1】

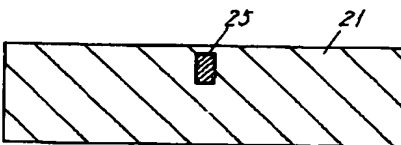
- 11 シリコン基板
- 12 フィールド酸化膜
- 13 ゲート電極
- 14 ゲート酸化膜
- 15 ソース
- 16 ドレイン
- 17 シリコン酸化膜



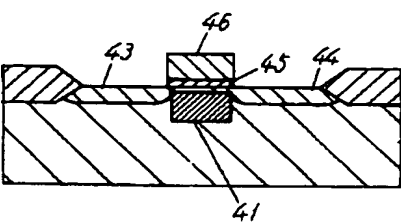
【図3】



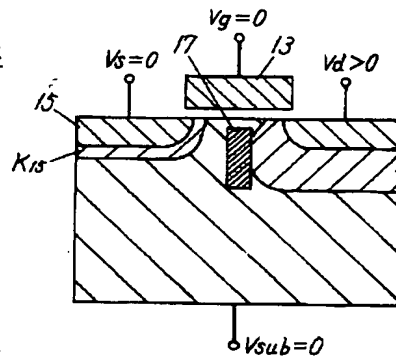
【図5】



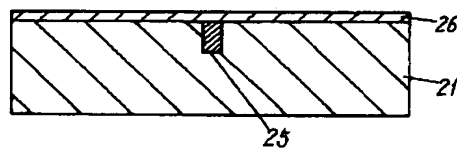
【図8】



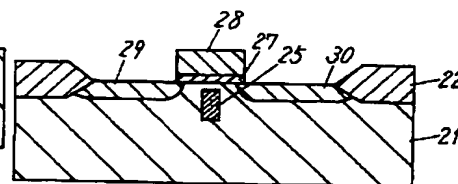
【図2】



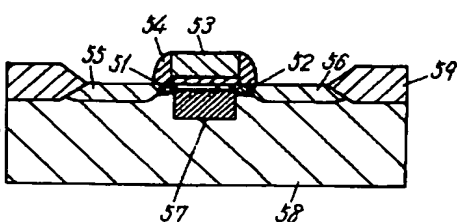
【図4】



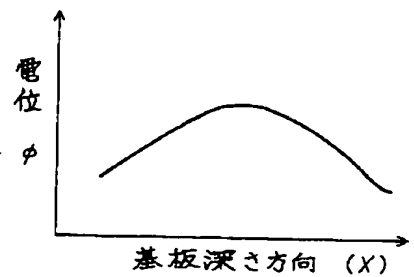
【図6】



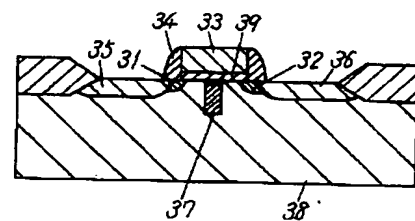
【図9】



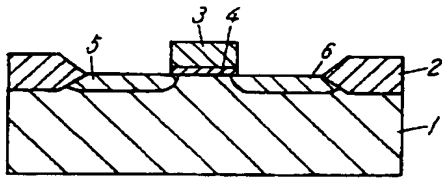
【図12】



【図7】



【図10】



【図11】

